

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月20日
Date of Application:

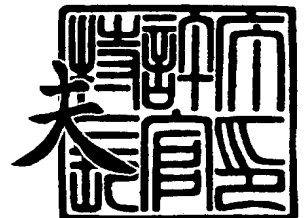
出願番号 特願2003-010586
Application Number:
[ST. 10/C]: [JP 2003-010586]

出願人 沖電気工業株式会社
Applicant(s):

2003年10月24日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3088000

【書類名】 特許願

【整理番号】 KA003880

【提出日】 平成15年 1月20日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G11C 11/409
G11C 11/41
G11C 11/401
G11C 16/06
H01L 21/82
G11C 11/34

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 野口 峰男

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100086807

【弁理士】

【氏名又は名称】 柿本 恭成

【手数料の表示】

【予納台帳番号】 007412

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001054



【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 複数のメモリセルを有し、前記複数のメモリセルに対して n ビット（但し、 n ；正の整数）データの書き込み及び読み出しがそれぞれ行える複数のバンクと、

外部から複数ビットのデータの入力及び前記外部への複数ビットのデータの出力をそれぞれ行う複数の入／出力手段と、

前記複数のバンクに沿って配置された $n/2$ ビットのデータバスと、

前記各バンクと前記データバスとの間のデータ伝送をそれぞれ行う n ビットの第 1 のデータ線対と、

前記データバスと前記各入／出力手段との間のデータ伝送をそれぞれ行う $n/2$ ビットの第 2 のデータ線対と、

制御信号に基づき前記各第 1 のデータ線対の接続先をそれぞれ切り換え、前記第 1 のデータ線対を、前記第 2 のデータ線対を介して前記入／出力手段に接続すると共に、前記データバスを介して前記他の入／出力手段に接続する複数の切換手段と、

を備えたことを特徴とする半導体集積回路。

【請求項 2】 複数のメモリセルを有し、前記複数のメモリセルに対して n ビット（但し、 n ；正の整数）データの書き込み及び読み出しがそれぞれ行える複数のバンクと、

前記複数のバンクに対向して配置され、外部から複数ビットのデータの入力及び前記外部への複数ビットのデータの出力をそれぞれ行う複数の入／出力手段と、

前記複数のバンクと前記複数の入／出力手段との間において前記複数のバンクに沿って配置された $n/2$ ビットのデータバスと、

前記各バンクと前記データバスとの間にそれぞれ配置され、前記各バンクと前記データバスとの間のデータ伝送をそれぞれ行う各 n ビットの複数の第 1 のデータ線対と、

前記データベースと前記各入／出力手段との間にそれぞれ配置され、前記データベースと前記各入／出力手段との間のデータ伝送をそれぞれ行う各 $n/2$ ビットの複数の第 2 のデータ線対と、

前記各第 1 のデータ線対及び前記各第 2 のデータ線対と前記データベースとの接続箇所にそれぞれ設けられ、制御信号に基づき前記各第 1 のデータ線対の接続先をそれぞれ切り換え、前記第 1 のデータ線対を、前記第 2 のデータ線対を介して前記入／出力手段に接続すると共に、前記データベースを介して前記他の入／出力手段に接続する複数の切換手段と、

を備えたことを特徴とする半導体集積回路。

【請求項 3】 複数のメモリセルを有し、前記複数のメモリセルに対して n ビット（但し、 n ；正の整数）データの書き込み及び読み出しがそれぞれ行える複数の第 1 のバンクと、

前記複数の第 1 のバンクに対向して配置され、複数のメモリセルを有し、前記複数のメモリセルに対して n ビットデータの書き込み及び読み出しがそれぞれ行える複数の第 2 のバンクと、

前記複数の第 1 のバンクと前記複数の第 2 のバンクとの間に配置され、外部から複数ビットのデータの入力及び前記外部への複数ビットのデータの出力をそれぞれ行う複数の入／出力手段と、

前記第 1 のバンクと前記入／出力手段との間に配置されると共に、前記入／出力手段と前記第 2 のバンクとの間に配置された $n/2$ ビットの第 1 のデータベースと、

前記第 2 のバンクと前記入／出力手段との間に配置されると共に、前記第 1 のデータベースと交差して前記入／出力手段と前記第 1 のバンクとの間に配置された $n/2$ ビットの第 2 のデータベースと、

前記各バンクと前記各データベースとの間にそれぞれ配置され、前記各バンクと前記各データベースとの間のデータ伝送をそれぞれ行う各 n ビットの複数の第 1 のデータ線対と、

前記各データベースと前記各入／出力手段との間にそれぞれ配置され、前記各データベースと前記各入／出力手段との間のデータ伝送をそれぞれ行う各 $n/2$ ビッ

トの複数の第2のデータ線対と、

前記各第1のデータ線対及び前記各第2のデータ線対と前記各データバスとの接続箇所にそれぞれ設けられ、制御信号に基づき前記各第1のデータ線対の接続先をそれぞれ切り換え、前記第1のデータ線対を、前記第2のデータ線対を介して前記入／出力手段に接続すると共に、前記第1のデータ線対を、前記第1又は第2のデータバスを介して前記他の入／出力手段に接続する複数の切換手段と、を備えたことを特徴とする半導体集積回路。

【請求項4】 前記各バンク内には、データを入力する入力バッファ及びデータを出力する出力バッファを設け、前記入力バッファ及び前記出力バッファを前記第1のデータ線対に接続したことを特徴とする請求項1～3のいずれか1項に記載の半導体集積回路。

【請求項5】 前記各入／出力手段は、複数の入／出力端子を有する入／出力インターフェイス回路により構成したことを特徴とする請求項1～4のいずれか1項に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、データ線対からなるデータバスの占有面積を小さくしてチップ面積を削減できる半導体集積回路に関するものである。

【0002】

【従来の技術】

従来、このような半導体集積回路に関する技術としては、例えば、次のような文献等に記載されるものがあった。

【0003】

【特許文献1】

特開2001-344976号公報

【0004】

この特許文献1の半導体集積回路では、複数のメモリセルを有し、これらのメモリセルに対してデータの書き込み及び読み出しがそれぞれ行える複数のバンク

と、パッド、入出力（以下「I/O」という。）バッファ、及びI/Oインターフェイス回路によりそれぞれ構成された複数のI/O回路とを備えている。複数のバンクはデータバスに接続され、このデータバスに、複数のI/O回路が接続されている。

【0005】

この半導体集積回路では、あるバンク内のメモリセルから読み出されたデータは、データバスへ出力され、このデータバス上を伝送される。データバス上を伝送されたデータは、あるI/O回路に取り込まれ、外部に出力される。又、あるI/O回路から入力されたデータは、データバスへ入力され、このデータバス上を伝送されて、あるバンク内のメモリセルに書き込まれる。

【0006】

【発明が解決しようとする課題】

従来の半導体集積回路において、バンク及びI/O回路で処理されたI/Oデータは、チップ内を長距離に渡って横断するデータバスを介してやり取りされる。このデータバスは、製品仕様のI/Oデータバス長に合わせてチップ内に配置される。

【0007】

しかしながら、チップ内を長距離で横断するデータバスは、併走する配線や、データバスを構成する配線の下部の回路とのクロストーク（信号漏洩）の影響を避けるために、シールド線の挿入や、データバスを構成する配線層の下にノイズ源となりうる回路を配置しない等の対策が採用される。そのため、伝送するデータ量が増えてデータバスの配線数が増大すると、チップ面積が増大するという課題があった。

【0008】

本発明は、前記従来技術が持っていた課題を解決し、データバス配線数の削減によってチップ面積を小さくできる半導体集積回路を提供することを目的とする。

【0009】

【課題を解決するための手段】

前記課題を解決するために、本発明の半導体集積回路では、複数のメモリセル

を有し、前記複数のメモリセルに対して n ビット（但し、 n ；正の整数）データの書き込み及び読み出しがそれぞれ行える複数のバンクと、外部から複数ビットのデータの入力及び前記外部への複数ビットのデータの出力をそれぞれ行う複数の I/O 手段と、前記複数のバンクに沿って配置された $n/2$ ビットのデータバスとを備えている。

【0010】

前記各バンクと前記データバスとの間には、それらの間のデータ伝送をそれぞれ行う n ビットの第 1 のデータ線対が配置されると共に、前記データバスと前記各 I/O 手段との間にも、それらの間のデータ伝送をそれぞれ行う $n/2$ ビットの第 2 のデータ線対が配置されている。そして、前記各第 1、第 2 のデータ線及び前記データバスの接続箇所には、それぞれ切換手段が設けられている。前記切換手段は、制御信号に基づき前記各第 1 のデータ線対の接続先をそれぞれ切り換え、前記第 1 のデータ線対を、前記第 2 のデータ線対を介して前記 I/O 手段に接続すると共に、前記第 1 のデータ線対を、前記データバスを介して前記他の I/O 手段に接続するものである。

【0011】

このような構成を採用したことにより、あるバンク内のメモリセルから読み出されたデータは、これに接続された第 1 のデータ線対へ出力される。このデータは、切換手段により、第 2 のデータ線対を介してある I/O 手段へ送られて外部へ出力されると共に、データバスを介して他の第 2 のデータ線対及び I/O 手段へ送られて外部へ出力される。

【0012】

【発明の実施の形態】

（第 1 の実施形態）

図 1 は、本発明の第 1 の実施形態を示す半導体集積回路の概略の構成図である。

【0013】

この半導体集積回路は、同期型ダイナミック・ランダム・アクセス・メモリ（以下「SDRAM」という。）の複数バンク構成（例えば、2 バンク構成）を示

すものであり、複数のメモリセルをそれぞれ有する2つのバンク10-0, 10-1を備えている。

【0014】

バンク10-0内には、nビット（例えば、16ビット）データの入力と出力を切り換えるためのI/O回路14-0が設けられ、このI/O回路14-0が、16ビットの第1のデータ線対LDB0～LDB15に接続され、このデータ線対LDB0～LDB15が、切換手段20-0を介して、8ビットの第2のデータ線対RDB0～RDB7と8ビットのデータバスGDB0～GDB7とに接続されている。データ線対RDB0～RDB7は、8ビットのI/O手段（例えば、8ビットのI/OパッドDQを有するI/Oインターフェイス回路30-0）に接続されている。

【0015】

同様に、バンク10-1内には、nビット（例えば、16ビット）データの入力と出力を切り換えるためのI/O回路14-1が設けられ、このI/O回路14-1が、16ビットの第1のデータ線対LDB0～LDB15に接続され、このデータ線対LDB0～LDB15が、切換手段20-1を介して、8ビットの第2のデータ線対RDB0～RDB7と8ビットのデータバスGDB0～GDB7とに接続されている。データ線対RDB0～RDB7は、8ビットのI/O手段（例えば、8ビットのI/OパッドDQを有するI/Oインターフェイス回路30-1）に接続されている。

【0016】

図2は、図1中のバンク10-0, 10-1を示す概略の構成図である。

【0017】

各バンク10-0, 10-1は同一の構成であり、メモリセルアレイ11を有している。メモリセルアレイ11は、複数のワード線WLと、これと直交する複数のビット線BL対とを有し、それらの交差箇所にメモリセルがマトリクス状に配置されている。複数のワード線WLには、行アドレスデコーダ12が接続されている。行アドレスデコーダ12は、入力されるXアドレスをデコード（解読）して複数のワード線WL中の1本を選択して活性化（アクティブに）する回路で

ある。

【0018】

複数のビット線BL対には、センスアンプ13を介してI/O回路14（14-0，14-1）及び列アドレスデコーダ15が接続されている。センスアンプ13は、メモリセルから読み出されたビット線BL対上のデータを検知、増幅する回路である。列アドレスデコーダ15は、入力されるYアドレスをデコードしてビット線選択信号を出力する回路である。I/O回路14は、ビット線選択信号に基づき、複数のビット線BL対と複数のデータ線対LDB0～LDB15との間を接続／遮断する回路である。これらのI/O回路14及び列アドレスデコーダ15におけるデータの入力や出力、チップ選択、プリチャージ等は、I/O制御回路16によって制御される。

【0019】

図3は、図1中のバンク10-0側のI/O回路14-0及びI/Oインターフェイス回路30-0等のI/O接続図である。

【0020】

バンク10-0内に設けられたI/O回路14-0は、18個のI/Oブロック（以下「I/OBLK」という。）0～17で構成され、このI/OBLK0，2，4，6，8，9，11，13，15，17によってデータバスGDB7～GDB0のプルアップ／プルダウンが切り換えられ、I/OBLK1，3，5，7，10，12，14，16がデータ線対LDB6／7，4／5，2／3，0／1，14／15，12／13，10／11，8／9に接続されている。データ線対LDB6／7，4／5，2／3，0／1，14／15，12／13，10／11，8／9は、切換手段20-0を構成する切換回路21-0～21-15により、データ線対RDB6／7，4／5，2／3，0／1，14／15，12／13，10／11，8／9、又は、データバスGDB7～0のいずれか一方に切り換え接続されるようになっている。切換回路21-0～21-15を切り換えるための制御信号は、制御回路22から与えられ、この制御回路22が、例えば、データバスGDB0～GDB7の下に配設されている。

【0021】

データ線対 RDB 6/7, 4/5, 2/3, 0/1 が、I/O インターフェイス回路 30-0 に接続され、データ線対 RDB 14/15, 12/13, 10/11, 8/9 が、I/O インターフェイス回路 30-1 に接続されている。各 I/O インターフェイス回路 30-0, 30-1 は、各 4 個のブロック（以下「DQBLK」という。）0~3, 4~7 によりそれぞれ構成されている。なお、図 3 のデータ線対 RDB 6/7, 4/5, 2/3, 0/1, 14/15, 12/13, 10/11, 8/9 は、I/O インターフェイス回路 30-0, 30-1 の DQGLK 0~7 からデータを入力するときには、入力線対 Din 6/7, 4/5, 2/3, 0/1, 14/15, 12/13, 10/11, 8/9 として機能する。

【0022】

図 4 は、例えば、図 1 のバンク 10-0 のアクティブ時における図 3 中の I/OBLK 1、I/OBLK 2、切換回路 21-0、及び DQBLK 0 の回路図である。

【0023】

図 3 中の各データバス GDB 0~7 は、各一对の正極性データ線 GDB 0~7 及び負極性データ線 GDB b 0~7 によりそれぞれ構成されている。各データ線対 LDB 0~15 は、各 2 本の正極性データ線 LDB 0~LDB 15 及び負極性データ線 LDB b 0~15 によりそれぞれ構成されている。各データ線対 RDB 0~7, RDB 8~15 は、各 2 本の正極性データ線 RDB 0~7, RDB 8~15 及び負極性データ線 RDB b 0~7, RDB b 8~15 によりそれぞれ構成されている。データバス GDB 5 を構成するデータ線 GDB 5, GDB b 5 対と、データ線対 LDB 7 を構成するデータ線 LDB 7, LDB b 7 とは、I/O 回路 14-0 内の I/OBLK 2 により、プルアップ又はプルダウンが切り換えられるようになっている。

【0024】

I/OBLK 2 は、データ線対書き込み（GDB WRIT I）回路と、データ線対書き込み（LDB WRIT）回路とを有している。

【0025】

データ線対書き込み (GDB WRITI) 回路は、インバータ15a, 15b、2入力NANDゲート15c, 15e、2入力NORゲート15d, 15f、Pチャネル型MOSトランジスタ (以下「PMOS」という。) 15g, 15i、及びNチャネル型MOSトランジスタ (以下「NMOS」という。) 15h, 15jを有している。バンク10-0から与えられる書き込み信号WRITE__BK1 (= "1")、イーブンデータdata__e, dataB__e (= "1")、及びオットデータdata__o, dataB__o (= "0")の内、書き込み信号WRITE__BK1はNANDゲート15c, 15eに入力され、その書き込み信号WRITE__BK1がインバータ15a, 15bで反転されてNORゲート15d, 15fに入力される。NANDゲート15cの出力端子がPMOS15gのゲートに、NORゲート15dの出力端子がNMOS15hのゲートに、NANDゲートの出力端子がPMOS15iのゲートに、NORゲート15fの出力端子がNMOS15jのゲートに、それぞれ接続されている。PMOS15g及びNMOS15hは、電源電位VDDノードと接地電位ノードとの間に直列に接続され、その接続点がデータ線GDB5に接続されている。さらに、PMOS15i及びNMOS15jは、電源電位VDDノードと接地電位ノードとの間に直列に接続され、その接続点がデータ線GDBb5に接続されている。

【0026】

このデータ線対書き込み (GDB WRITI) 回路では、バンク10-0から与えられる書き込み信号WRITE__BK1 (= "1")をインバータ15a, 15bで反転し、バンク10-0から与えられるイーブンデータdata__e (= "1")と書き込み信号WRITE__BK1 (= "1")との否定論理積をNANDゲート15cで求め、この出力信号 (= "0")により、PMOS15gをオン状態にし、データ線GDB5を電源電位VDDにプルアップしている。この時、インバータ15aの出力信号 (= "0")とバンク10-0から与えられるイーブンデータdataB__e (= "1")との否定論理和をNORゲート15dで求め、この出力信号 (= "0")により、NMOS15hをオフ状態にし、データ線GDB5を接地電位から切り離している。又、バンク10-0から与えられるオットデータdata__o (= "0")と書き込み信号WRITE__

BK1 (= "1") との否定論理積をNANDゲート15eで求め、この出力信号 (= "1") により、PMOS15iをオフ状態にしてデータ線GDBb5を電源電位VDDから切り離す。この時、インバータ15bの出力信号 (= "0") とバンク10-0から与えられるオットデータdataB_o (= "0") との否定論理和をNORゲート15fで求め、この出力信号 (= "1") により、NMOS15jをオン状態にし、データ線GDBb5を接地電位にプルダウンしている。

【0027】

データ線対書き込み(LDB WRIT)回路は、データ線対書き込み(GDB WRITI)回路と同様に、インバータ16a, 16b、NANDゲート16c, 16e、NORゲート16d, 16f、PMOS16g, 16i、及びNMOS16h, 16jにより構成されている。

【0028】

このデータ線対書き込み(LDB WRIT)回路では、データ線対書き込み(GDB WRITI)回路と同様に、バンク10-0から与えられる書き込み信号WRITE_BK0 (= "1")、イーブンデータdata_e, dataB_e (= "1")、及びオットデータdata_o, dataB_o (= "0")に基づき、データ線LDB7を電源電位VDDにプルアップすると共に、データ線LDBb7を接地電位にプルダウンしている。

【0029】

I/OBLK1は、バンク10-0からの読み出しデータをデータ線LDB7, LDBb7対へ出力したり、データ線LDB7, LDBb7対からの入力データをバンク10-0へ書き込んだりする回路であり、ビット線BL対に接続されるデータ線DB, DBB対とデータ線DBR, DBRB対をプリチャージするプリチャージ回路17、読み出し信号YREDを反転するインバータ17o、出力バッファ17p, 17q、入力バッファ17r, 17s、データ線IDB, IDBb対をプリチャージするプリチャージ回路18、ライトドライバ(WDV)18d, 18e、セット・リセット増幅器(RS AMP)18f、セット・リセット用のNMOS18g, 18h、GDBプリチャージ(GDB PRECHA

RAGE) 回路 19-1、及び GDB プルアップ (GDB PULLUP) 回路 19-2 を有している。

【0030】

プリチャージ回路 17 は、バンク 10-0 から与えられるプリチャージ信号 DBPC 及び読み出し信号 YRED に基づき、データ線 DB、DBB 対及びデータ線 DBR、DBRB 対をプリチャージする回路であり、データ線 DB、DBB 対用プリチャージ回路と、データ線 DBR、DBRB 対用プリチャージ回路とで構成されている。

【0031】

データ線 DB、DBB 対用プリチャージ回路は、プリチャージ信号 DBPC を反転するインバータ 17a と、インバータ 17a の出力信号によりデータ線 DB とデータ線 DBB との間を接続／遮断する NMOS 17b と、インバータ 17a の出力信号によりデータ線 DB とパッド PA との間を接続／遮断する NMOS 17c と、インバータ 17a の出力信号によりデータ線 DBB とパッド PA との間を接続／遮断する NMOS 17d と、プリチャージ信号 DBPC によりデータ線 DB とデータ線 DBB との間を接続／遮断する NMOS 17e と、プリチャージ信号 DBPC によりデータ線 DB とパッド PA との間を接続／遮断する NMOS 17f と、プリチャージ信号 DBPC によりデータ線 DBB とパッド PA との間を接続／遮断する NMOS 17g とで構成されている。

【0032】

データ線 DBR、DBRB 対用プリチャージ回路は、データ線 DB、DBB 対用プリチャージ回路と同様に、読み出し信号 YRED を反転するインバータ 17h と、インバータ 17h の出力信号によりデータ線 DBR とデータ線 DBRB との間を接続／遮断する NMOS 17i と、インバータ 17h の出力信号によりデータ線 DBR とパッド PA との間を接続／遮断する NMOS 17j と、インバータ 17h の出力信号によりデータ線 DBRB とパッド PA との間を接続／遮断する NMOS 17k と、読み出し信号 YRED によりデータ線 DBR とデータ線 DBRB との間を接続／遮断する NMOS 17l と、読み出し信号 YRED によりデータ線 DBR とパッド PA との間を接続／遮断する NMOS 17m と、読み出

し信号 YRED によりデータ線 DBRB とパッド PA との間を接続／遮断する NMOS 17n とで構成されている。

【0033】

出力バッファ 17p, 17q は、読み出し信号 YRED がインバータ 17o で反転された信号に基づき、データ線 DB, DBB 対とデータ線 IDB, IDBb 対との間をそれぞれ接続／遮断する素子である。入力バッファ 17r, 17s は、読み出し信号 YRED に基づき、データ線 DBR, DBRB 対とデータ線 IDB, IDBb 対との間をそれぞれ接続／遮断する素子である。

【0034】

データ線 IDB, IDBb 対用のプリチャージ回路 18 は、プリチャージ信号 DBPC に基づき、データ線 IDB とデータ線 IDBb との間を接続／遮断する PMOS 18a と、プリチャージ信号 DBPC に基づき、データ線 IDB とパッド PA との間を接続／遮断する NMOS 18b と、プリチャージ信号 DBPC に基づき、データ線 IDBb とパッド PA との間を接続／遮断する NMOS 18c とで構成されている。データ線 IDB, IDBb 対は、ライトドライバ (WDV) 18d, 18e を介して、データ線 LDB7, LDBb7 対にそれぞれ接続されている。セット・リセット増幅器 (RS AMP) 18f は、データ線 IDB7 又は IDBb7 上のデータを増幅する回路であり、この出力信号により、データ線 LDB7 と電源電位 VDD ノードとの間に接続された NMOS 18g と、データ線 LDBb7 と電源電位 VDD ノードとの間に接続された NMOS 18h とが、それぞれオン／オフ制御される。

【0035】

GDB プリチャージ (GDB PRECHARGE) 回路 19-1 は、バンク 10-0 から与えられるプリチャージ信号 GDBPREb によりデータ線 LDB7, LDBb7 対をプリチャージする回路であり、プリチャージ信号 GDBPREb により、データ線 LDB7 とデータ線 LDBb7 との間を接続／遮断する PMOS 19a と、プリチャージ信号 GDBPREb により、データ線 LDB7 と電源電位 VDD ノードとの間を接続／遮断する PMOS 19b と、プリチャージ信号 GDBPREb により、データ線 LDBb7 と電源電位 VDD ノードとの

間を接続／遮断するPMOS 19 cとで構成されている。

【0036】

GDBプルアップ (GDB PULLUP) 回路19-2は、バンク10-0から与えられるライトイネーブル信号WENによりデータ線LDB 7, LDB b 7対をプルアップする回路であり、ライトイネーブル信号WENがゲートに与えられるPMOS 19 d, 19 eを有し、このPMOS 19 dが、データ線LDB 7と電源電位VDDノードとの間に接続され、PMOS 19 eが、データ線LDB b 7と電源電位VDDノードとの間に接続されている。

【0037】

切換回路21-0は、XアドレスX 16 1を反転するインバータ22 aと、制御回路22から与えられる制御信号RTRAN 1及びインバータ22 aの出力信号を入力する2入力NANDゲート22 bと、制御回路22から与えられる制御信号RTRAN 0及びインバータ22 aの出力信号を入力する2入力NANDゲート22 cと、NANDゲート22 bの出力信号によりオン／オフ動作してデータ線LDB 7, LDB b 7対とデータ線RDB 7, RDB b 7対とを接続／遮断する切換素子22 d, 22 eと、NANDゲート22 cの出力信号によりオン／オフ動作してデータ線LDB 7, LDB b 7対とデータバスGDB 5, GDB b 5対とを接続／遮断する切換素子22 f, 22 gとで構成されている。切換素子22 d, 22 e, 22 f, 22 gは、バッファ等で構成されている。

【0038】

I/Oインターフェイス回路30-0内のDQBLK 0は、データ線RDB 7, RDB b 7対からの読み出しデータを外部へ出力し、外部からの入力データをデータ線RDB 7, RDB b 7対へ入力する回路であり、RDB増幅器 (RDB AMP) 31と、ラッチ回路とで構成されている。

【0039】

RDB増幅器 (RDB AMP) 31は、データ線RDB 7, RDB b 7対上のデータを増幅する回路であり、信号GDBPRE bがゲートに与えられるPMOS 31 a, 31 bと、PMOS 31 c, 31 dとを有している。PMOS 31 aは、データ線RDB 7と電源電位VDDノードとの間に接続され、PMOS 3

1 b は、データ線 RDB b 7 と電源電位 VDD ノードとの間に接続されている。データ線 RDB 7 は、PMOS 31 c を介して電源電位 VDD ノードに接続され、データ線 RDB b 7 は、PMOS 31 d を介して電源電位 VDD ノードに接続されている。

【0040】

ラッチ回路は、PMOS 31 e, 31 f, 31 g, 31 h 及び NMOS 31 i, 31 j を有している。PMOS 31 e は、データ線 RDB 7 とデータ線 RDB A との間に接続され、PMOS 31 f は、データ線 RDB b 7 とデータ線 RDB A b との間に接続され、それらの PMOS 31 e, 31 f がたすき掛け接続されてデータをラッチするようになっている。PMOS 31 e のゲートは、イネーブル信号 RDBEN によりゲート制御される PMOS 31 g を介して、電源電位 VDD ノードに接続されている。PMOS 31 f のゲートは、イネーブル信号 RDBEN によりゲート制御される PMOS 31 h を介して、電源電位 VDD ノードに接続されている。データ線 RDB A, RDB A b 対は、イネーブル信号 RDBEN によりゲート制御される NMOS 31 i, 31 j を介して、電源電位 VDD ノードにそれぞれ接続されている。

【0041】

次に、図 1 ～図 4 の動作を説明する。

【0042】

例えば、図 1 中のバンク 10-0 がアクティブで、バンク 10-1 が非アクティブのときの読み出し動作を説明する。

【0043】

バンク 10-0 が選択されてアクティブになると、図 2 において、X アドレスが行アドレスデコーダ 12 でデコードされてワード線 WL が活性化される。活性化されたワード線 WL に接続されたメモリセルアレイ 11 中のメモリセルからビット線 BL 対へ、データが読み出され、センスアンプ 13 で増幅される。この時、Y アドレスが列アドレスデコーダ 15 でデコードされてビット線 BL 対が選択され、この選択されたビット線 BL 対上の増幅された 16 ビットの読み出しデータが、I/O 回路 14-0 から出力される。

【0044】

図3において、制御回路22の制御信号により切換回路21-0～21-15が動作し、切換回路21-0～21-7によって8ビットのデータ線対LDB7～LDB0と8ビットのデータ線対RDB7～RDB0とが接続されると共に、切換回路21-8～21-15によって8ビットのデータ線対LDB15～LDB8と8ビットのデータバス対GDB7～GDB0とが接続される。そのため、I/O回路14-0内のI/OBLK0～I/OBLK8から出力された8ビットの読み出しデータは、8ビットのデータ線対LDB7～LDB0、切換回路21-0～21-7、及び8ビットのデータ線対RDB7～RDB0を介して、I/Oインターフェイス回路30-0内のDQBLK0～DQBLK3から外部へ出力される。更に、I/O回路14-0内のI/OBLK9～I/OBLK17から出力された8ビットの読み出しデータは、8ビットのデータ線対LDB15～LDB8、切換回路21-8～21-15、及び8ビットのデータバス対GDB7～GDB0を介して、I/Oインターフェイス回路30-1内のDQBLK4～DQBLK7から外部へ出力される。

【0045】

例えば、図4において、イーブン動作時、I/OBLK2内のNANDゲート15c及びPMOS15gによってデータバスGDB5が“H”レベル、NORゲート15f及びNMOS15jによってデータバスGDBb5が“L”レベルになり、更に、ANDゲート16c及びPMOS16gによってデータ線LDB7が“H”レベル、NORゲート16f及びNMOS16jによってデータ線LDBb7が“L”レベルになる。

【0046】

バンク10-0からの増幅された読み出しデータは、データ線DB、DBB対へ送られ、出力バッファ17p、17qを介してデータ線IDB、IDBb対へ送られる。データ線IDB、IDBb対上の読み出しデータは、RS増幅器(RS AMP)18f及びNMOS18g、18hにより増幅され、データ線LDB7、LDBb7対へ送られる。この時、XアドレスX161及び制御信号RTAN1、RTAN0により、切換素子22d、22eがオン状態、切換素子

22f, 22g がオフ状態になっているので、データ線 LDB7, LDBb7 対上の読み出しデータが、切換素子 22d, 22e を介してデータ線 RDB7, RDBb7 対へ送られる。データ線 RDB7, RDBb7 対上の読み出しデータは、I/O インターフェイス回路 30-0 内の RDB 増幅器 (RDB AMP) 31 で増幅された後、PMOS 31e, 31f のラッチ回路でラッチされ、データ線 RDBA, RDBAb 対を介してパッド DQ から外部へ出力される。

【0047】

又、図1中のバンク10-0がアクティブで、バンク10-1が非アクティブのときの書き込み動作の場合、8ビットの書き込みデータがI/Oインターフェイス回路30-0に入力されると共に、8ビットの書き込みデータがI/Oインターフェイス回路30-1に入力される。すると、前記とは逆の経路で、I/Oインターフェイス回路30-0に入力された8ビットのデータが、8ビットのデータ線対RDB0~RDB7、切換手段20-0、及び16ビットのデータ線対LDB0~LDB15を介してバンク10-0に書き込まれると共に、I/Oインターフェイス回路30-1に入力された8ビットのデータが、8ビットのデータ線対RDB8~RDB15、切換手段20-1、及び8ビットのデータバス対GDB0~GDB7を介してバンク10-0に書き込まれる。

【0048】

バンク10-1が選択された場合も、前記とほぼ同様に動作する。

【0049】

以上のように、この第1の実施形態では、バンク10-0の直近にあるI/Oインターフェイス回路30-0に対しては、切換回路20-0を介して直接、データ線対LDB0~LDB15, RDB0~RDB7で接続し、その他のI/Oインターフェイス回路30-1に対しては、切換回路20-0, 20-1及びデータバス対GDB0~GDB7を介して、データ線対LDB0~LDB15, RDB8~RDB15で接続している。そのため、半導体集積回路のチップ内に設けるデータバス対GDB0~GDB7の配線数が従来の半分になり、チップ面積を削減できる。

【0050】

(第2の実施形態)

図5は、本発明の第2の実施形態を示す半導体集積回路の概略の構成図であり、第1の実施形態を示す図1～図4中の要素と共通の要素には共通の符号が付されている。

【0051】

この半導体集積回路は、SDRAMの4バンク構成を示すものであり、複数のメモリセルをそれぞれ有する4つのバンク10-0～10-3を備え、各バンク10-0～10-3が横割に2分割(10-0A～10-3A, 10-0B～10-3B)されている。各バンク10-0A～10-3A, 10-0B～10-3Bには、図1と同様に、I/O回路14-0A～14-3A, 14-0B～14-3Bがそれぞれ設けられている。

【0052】

図5の上側のバンク10-0A, 10-0B, 10-1A, 10-1Bと下側のバンク10-2A, 10-2B, 10-3A, 10-3Bとの間には、8ビットのI/Oインターフェイス回路30-0, 30-1が左右に配置され、これらが上下に4ビットずつ分岐した構成(30-0A, 30-0B, 30-1A, 30-1B)になっている。左側の上下8ビットのI/Oインターフェイス回路30-0A, 30-0Bには、共通の8ビットのパッドDQが設けられている。同様に、右側の上下8ビットのI/Oインターフェイス回路30-1A, 30-1Bには、共通の8ビットのパッドDQが設けられている。

【0053】

バンク10-0A, 10-1AとI/Oインターフェイス回路30-0A間、及びバンク10-2B, 10-3BとI/Oインターフェイス回路30-1B間には、4ビットのデータバス対GDB0～GDB3が配置されている。更に、バンク10-2A, 10-3AとI/Oインターフェイス回路30-0B間、及びバンク10-0B, 10-1BとI/Oインターフェイス回路30-1A間には、4ビットのデータバス対GDB4～GDB7が中央で他のデータバス対GDB0～GDB3と交差して配置されている。

【0054】

左上のバンク 10-0A, 10-1A の I/O 回路 14-OA, 14-1A は、8 ビットのデータ線対 LDB 0 ~ LDB 7 に接続され、このデータ線対 LDB 0 ~ LDB 7 が、8 ビットの切換手段 20-0A によって 4 ビットの I/O インターフェイス回路 30-0A 及び 4 ビットのデータバス対 GDB 0 ~ GDB 3 と接続/遮断可能な構成になっている。更に、右下のバンク 10-2B, 10-3B の I/O 回路 14-2B, 14-3B は、8 ビットのデータ線対 LDB 8 ~ LDB 15 に接続され、このデータ線対 LDB 8 ~ LDB 15 が、8 ビットの切換手段 20-1B によって 4 ビットの I/O インターフェイス回路 30-1B 及び 4 ビットのデータバス対 GDB 0 ~ GDB 3 と接続/遮断可能な構成になっている。

【0055】

同様に、右上のバンク 10-0B, 10-1B の I/O 回路 14-OB, 14-1B は、8 ビットのデータ線対 LDB 8 ~ LDB 15 に接続され、このデータ線対 LDB 8 ~ LDB 15 が、8 ビットの切換手段 20-0B によって 4 ビットの I/O インターフェイス回路 30-1A 及び 4 ビットのデータバス対 GDB 4 ~ GDB 7 と接続/遮断可能な構成になっている。更に、左下のバンク 10-2A, 10-3A の I/O 回路 14-2A, 14-3A は、8 ビットのデータ線対 LDB 0 ~ LDB 7 に接続され、このデータ線対 LDB 0 ~ LDB 7 が、8 ビットの切換手段 20-1A によって 4 ビットの I/O インターフェイス回路 30-0B 及び 4 ビットのデータバス対 GDB 4 ~ GDB 7 と接続/遮断可能な構成になっている。

【0056】

この半導体集積回路では、例えば、バンク 10-0A, 10-0B がアクティブで、他のバンク 10-1A, 10-1B ~ 10-3A, 10-3B が非アクティブのとき、バンク 10-0A が、データ線対 LDB 0 ~ LDB 7、切換手段 20-0A 及びデータ線対 RDB 0 ~ RDB 3 を介して 4 ビットの I/O インターフェイス回路 30-0B と接続されると共に、その切換手段 20-0A、データバス対 GDB 0 ~ GDB 3、切換手段 20-1B 及びデータ線対 RDB 4 ~ RDB 7 を介して 4 ビットの I/O インターフェイス回路 30-1B と接続される。

更に、バンク10-0Bが、データ線対LDB8~LDB15、切換手段20-0B及びデータ線対RDB4~RDB7を介して4ビットのI/Oインターフェイス回路30-1Aと接続されると共に、その切換手段20-0B、データバス対GDB4~GDB7、切換手段20-1A及びデータ線対RDB0~RDB3を介して4ビットのI/Oインターフェイス回路30-0Bと接続される。

【0057】

他のバンク10-1A, 10-1B~10-3A, 10-3Bが選択された場合も、前記とほぼ同様に動作する。

【0058】

以上のように、この第2の実施形態では、左右のそれぞれ8ビットデータが、それぞれ4ビットずつバンク10-0A, 10-0Bと縦の経路（データ線対）で通信し、残りのそれぞれ4ビットが横の経路（データバス）で通信するので、左右8ビットずつデータが通信されて16ビット通信を可能にしている。そのため、従来の16ビットデータバス対を4ビットデータバス対に削減でき、従来に比べてデータバスの配線数が1/4になり、チップ面積を大幅に削減できる。

【0059】

（利用形態）

なお、本発明は、上記実施形態に限定されず、種々の変形や利用形態が可能である。この変形や利用形態としては、例えば、次の(a)~(c)のようなものがある。

【0060】

(a) バンク10-0, 10-1, ...は、SDRAMで構成したが、他のメモリで構成しても、上記実施形態とほぼ同様の作用、効果が得られる。

【0061】

(b) 図1では2バンク構成、図5では4バンク構成について説明したが、これらを図示以外の配置形態（レイアウト形態）にしたり、或いは、他の数のバンク構成に変更しても、上記実施形態とほぼ同様の作用、効果が得られる。

【0062】

(c) 切換手段20-0, 20-1, ...やI/Oインターフェイス回路

30-0, 30-1, . . . 等は、図4以外の回路構成に変更しても良い。

【0063】

【発明の効果】

以上詳細に説明したように、本発明によれば、バンクの直近にあるI/O手段に対しては、切換手段を介して直接、第1、第2のデータ線対で接続し、その他のI/O手段に対しては、切換手段及びデータバスを介して接続しているので、半導体集積回路のチップ内に設けるデータバスの配線数が少なくなり、チップ面積を削減できる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態を示す半導体集積回路の概略の構成図である。

【図2】

図1中のバンク10-0, 10-1の構成図である。

【図3】

図1中のバンク10-0側のI/O回路14-0及びI/Oインターフェイス回路30-0等のI/O接続図である。

【図4】

図3中のI/OBLK1、I/OBLK2、切換回路21-0、DQBLK0の回路図である。

【図5】

本発明の第2の実施形態を示す半導体集積回路の概略の構成図である。

【符号の説明】

10-0, 10-1, 10-0A, 10-0B~10-3A, 10-3B

バンク

14-0, 14-1, 14-0A, 14-0B~14-3A, 14-3B

I/O回路

20-0, 20-0A, 20-0B, 20-1, 20-1A, 20-1B

切換手段

30-0, 30-0A, 30-0B, 30-1, 30-1A, 30-1B

I/Oインターフェイス回路

GDB 0 ~ GDB 7

データバス対

LDB 0 ~ LDB 1 5

第 1 のデータ線対

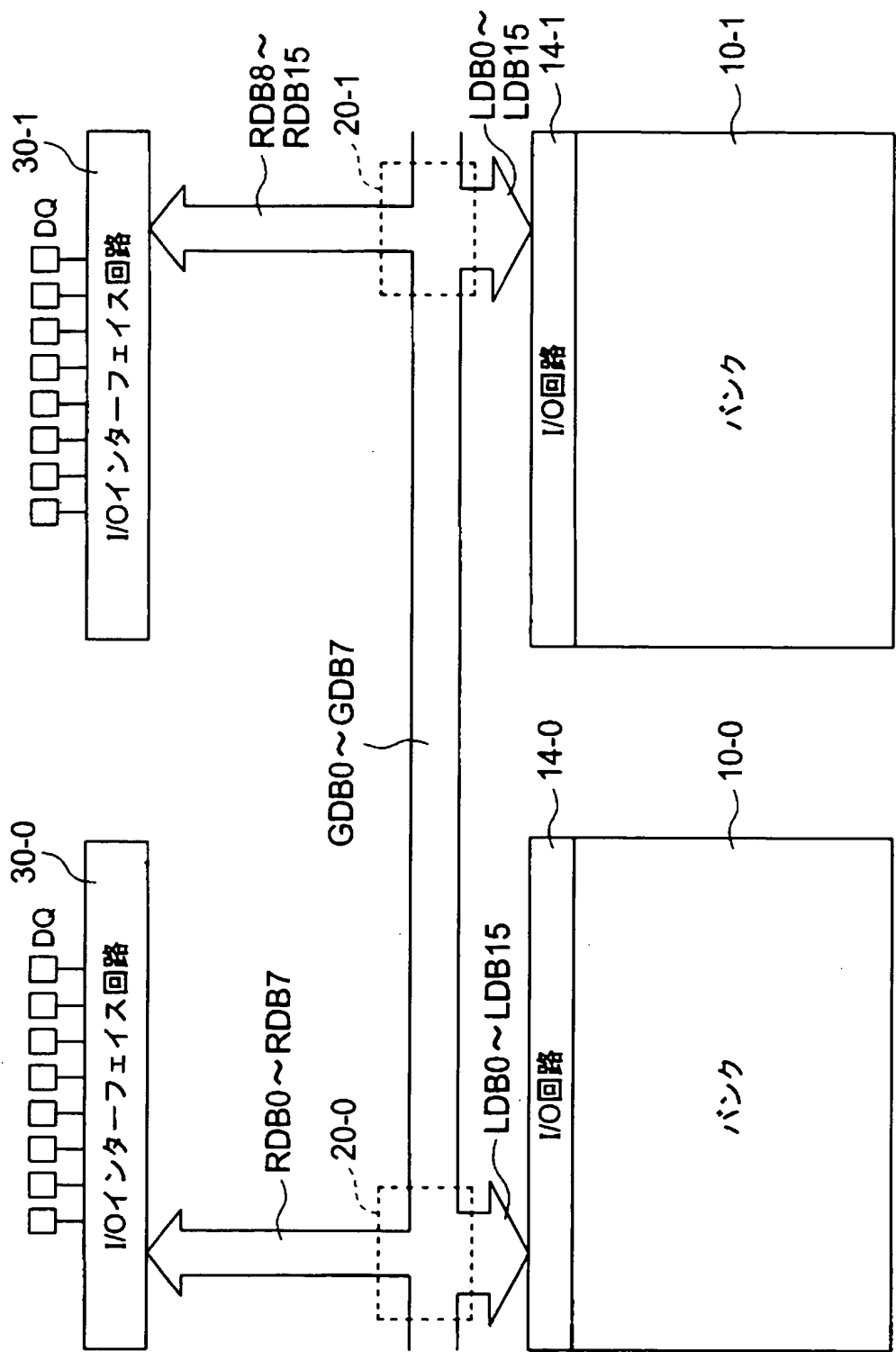
RDB 0 ~ RDB 1 5

第 2 のデータ線対

【書類名】

図面

【図 1】



本発明の第1の実施形態の半導体集積回路

【図2】

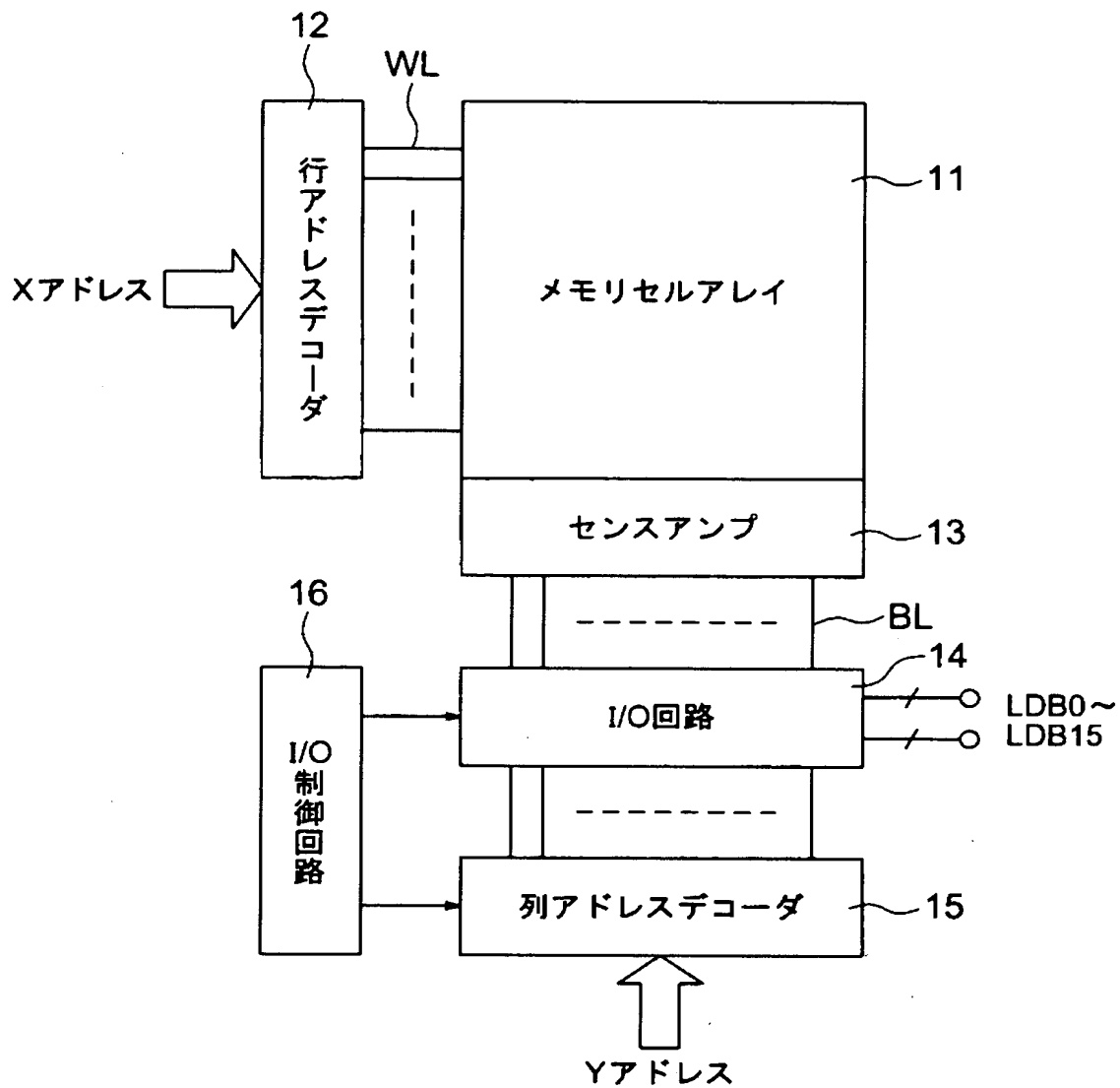


図1中のバンク 10-0, 10-1

【図 3】

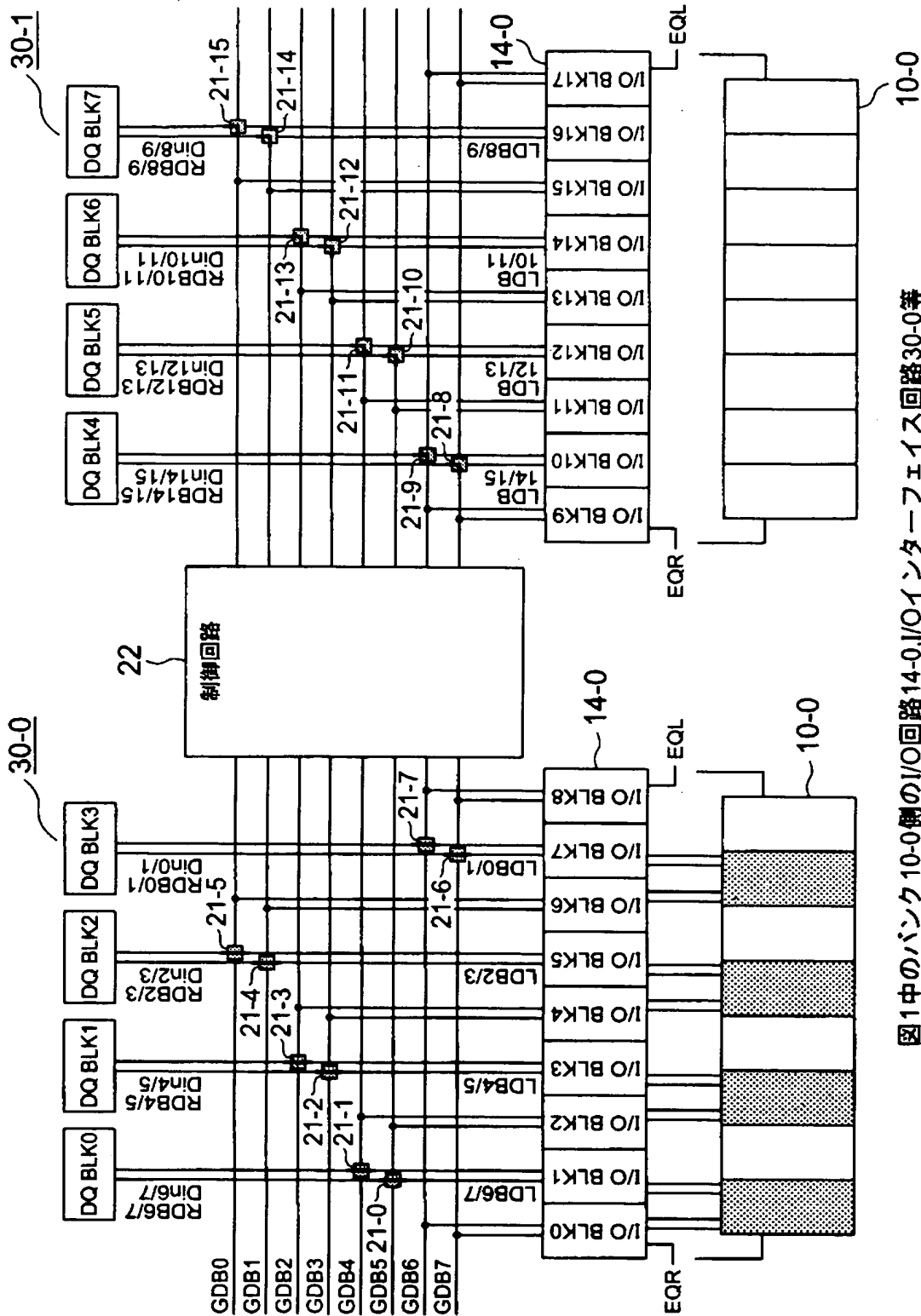


図 1 中のバンク 10-0 側の I/O 回路 14-0, I/O インターフェイス回路 30-0 等

【図4】

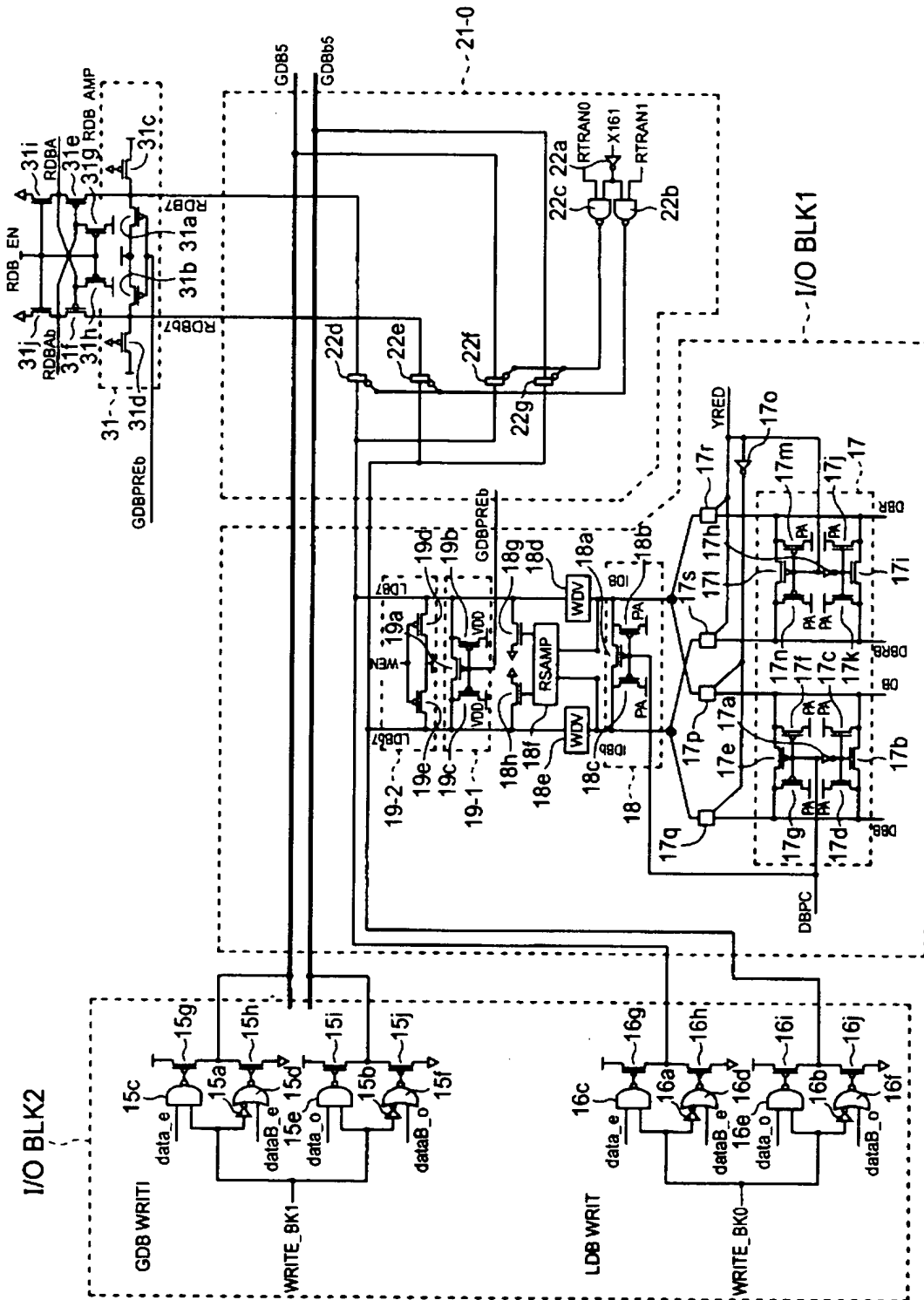
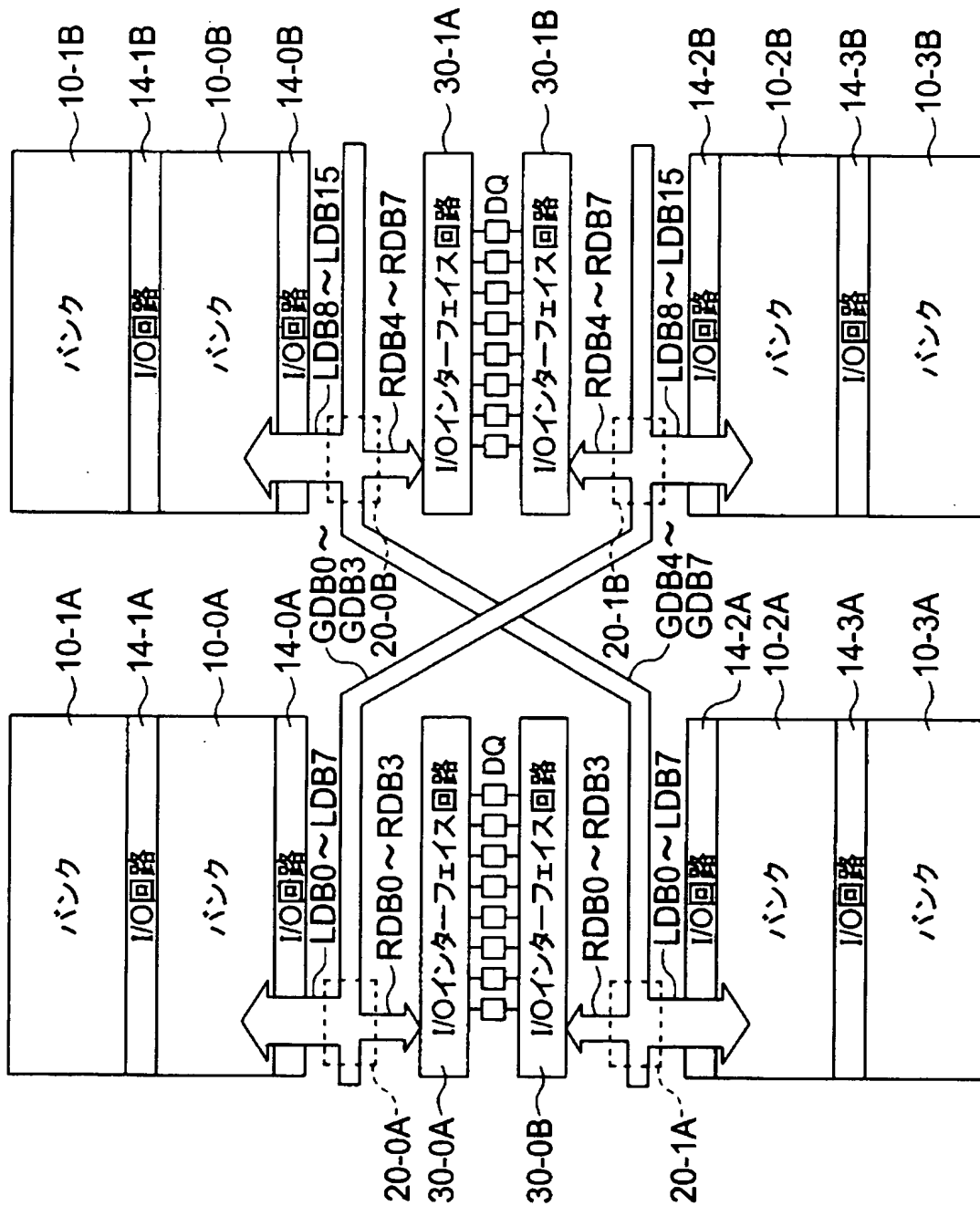


図3中のI/O BLK1、I/O BLK2、切換回路21-0、DQBLK0の回路

【図 5】



本発明の第2の実施形態の半導体集積回路

【書類名】 要約書

【要約】

【課題】 データバス配線数の削減によって半導体集積回路のチップ面積を小さくする。

【解決手段】 複数のメモリセル及び I/O 回路 1 4 - 0 等を有するバンク 1 0 - 0 の直近にある I/O インターフェイス回路 3 0 - 0 に対しては、切換回路 2 0 - 0 を介して直接、データ線対 LDB 0 ~ LDB 1 5, RDB 0 ~ RDB 7 で接続し、その他の I/O インターフェイス回路 3 0 - 1 に対しては、切換回路 2 0 - 0, 2 0 - 1 及びデータバス対 GDB 0 ~ GDB 7 を介して、データ線対 LDB 0 ~ LDB 1 5, RDB 8 ~ RDB 1 5 で接続している。そのため、半導体集積回路のチップ内に設けるデータバス対 GDB 0 ~ 7 の配線数が従来の半分になり、チップ面積を削減できる。

【選択図】 図 1

特願 2003-010586

出願人履歴情報

識別番号

[000000295]

1. 変更年月日

1990年 8月22日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社